

CERAMIC ELECTRONIC PART AND MANUFACTURING METHOD THEREFOR

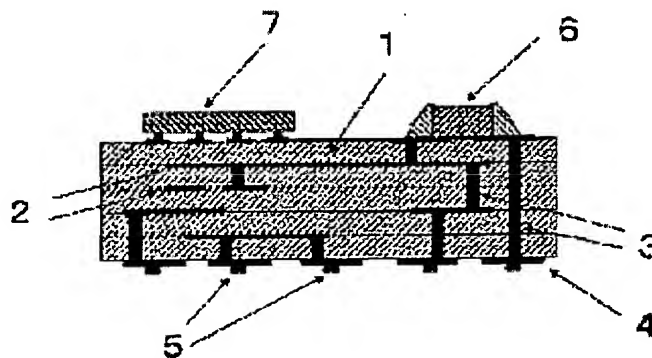
Patent number: JP2002270989
Publication date: 2002-09-20
Inventor: KAGATA HIROSHI; SAITO RYUICHI; KATSUMURA HIDENORI
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
- international: *H01L25/00; H05K1/18; H05K3/46; H01L25/00; H05K1/18; H05K3/46; (IPC1-7): H05K1/18; H01L25/00; H05K3/46.*
- european:
Application number: JP20010066332 20010309
Priority number(s): JP20010066332 20010309

Report a data error here

Abstract of JP2002270989

PROBLEM TO BE SOLVED: To solve the problem that a terminal electrode peels off and a ceramic part cracks since stress on a ceramic electronic part is not relieved when a mother board is deformed due to a small distance between the mother board and the ceramic electronic part when the mother board is mounted on the ceramic electronic part.

SOLUTION: '1' is the laminated ceramic part, '2' are pattern electrodes, '3' are via electrodes, '6' is a chip capacitor and '7' is a semiconductor device. The ceramic electronic part having a structure where projections 5 exist in a part of each electrode, at least in a part of the terminal electrode 4, for example, on a face mounting the mother board and the like is disposed.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-270989

(P2002-270989A)

(43) 公開日 平成14年9月20日 (2002.9.20)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 5 K 1/18		H 0 5 K 1/18	K 5 E 3 3 6
H 0 1 L 25/00		H 0 1 L 25/00	B 5 E 3 4 6
H 0 5 K 3/46		H 0 5 K 3/46	Q
			H

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願2001-66332(P2001-66332)

(22) 出願日 平成13年3月9日 (2001.3.9)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 加賀田 博司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 齊藤 隆一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 10009/445

弁理士 岩橋 文雄 (外2名)

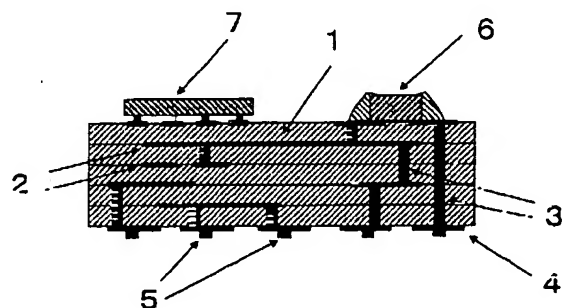
最終頁に続く

(54) 【発明の名称】 セラミック電子部品およびその製造方法

(57) 【要約】

【課題】 セラミック電子部品において、マザーボードに実装した際に、マザーボードとセラミック電子部品間の距離が小さいため、マザーボードの変形時にセラミック電子部品加わる応力が緩和されないため、端子電極がはがれたり、セラミック部分にひびが入るなどの不具合が生じやすかった。

【解決手段】 1は積層セラミック部、2はパターン電極、3はビア電極、6はチップコンデンサ、7は半導体デバイス7である。マザーボードなどを実装する面の少なくとも一部の電極、たとえば端子電極4における少なくとも一部に突起部5がある構造を有するセラミック電子部品とする。



【特許請求の範囲】

【請求項1】マザーボードに実装する面の少なくとも一部の電極における少なくとも一部に突起部があることを特徴とするセラミック電子部品。

【請求項2】マザーボードに実装する面の少なくとも一部の電極における少なくとも一部に突起部があり、セラミック内部のビア電極と接続した位置に前記突起部を形成したことを特徴とするセラミック電子部品。

【請求項3】マザーボードに実装する面の少なくとも一部の電極における少なくとも一部に突起部が形成されたセラミック電子部品の製造方法において、所定の導体パターンあるいはビアが形成されたセラミックグリーンシートの積層体の両面あるいは片面に、前記突起部形成用の穴をあけ導体材料が充填されたフィルムを圧着し、前記フィルムをはがすことにより前記突起部を形成する工程を有することを特徴とするセラミック電子部品の製造方法。

【請求項4】マザーボードに実装する面の少なくとも一部の電極における少なくとも一部に突起部があり、セラミック内部のビア電極と接続した位置に前記突起部が形成されたセラミック電子部品の製造方法において、内部に所定の導体パターンあるいはビアが形成されたセラミックグリーンシートの積層体における前記突起部を形成すべき面に弾性体を置き加圧する工程を有することを特徴とするセラミック電子部品の製造方法。

【請求項5】前記弾性体がグリーンシートであることを特徴とするセラミック電子部品の製造方法。

【請求項6】前記グリーンシートが、前記セラミックの焼成温度で焼結しないセラミック材料で構成されたことを特徴とするセラミック電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セラミック電子部品およびその製造方法に関し、特にマザーボードに実装する面に突起部を形成することで、マザーボード実装後に、マザーボードが変形した際に、端子電極のはがれやセラミック部分のひびなどの不具合の発生を抑制するものに関する。

【0002】

【従来の技術】近年、セラミックスを使用した電子部品が広く用いられている。特に、セラミックグリーンシートを使用した積層セラミック部品は、小型、高機能化に向いていることから、高周波モジュールなどを中心に急激に需要が伸びている。一般的にこの部品は、特開平7-50488号公報に開示されているように、所定のセラミックグリーンシートにスクリーン印刷などで導体を形成し、必要に応じてビアを形成し、位置を合わせながら重ねて圧着した後、焼成し、必要に応じて表面に導体を形成することにより製造する。

【0003】

【発明が解決しようとする課題】しかしながら、前記方法によって得られたセラミック電子部品では、マザーボードに実装する面の電極はうすく、平坦な構造となる。よって、前記セラミック電子部品では、マザーボードに実装した際に、マザーボードとセラミック電子部品との距離が小さく、マザーボードの変形時にセラミック電子部品に加わる応力が緩和されないため、端子電極のはがれや、セラミック部分にひびが入るなどの不具合が生じやすかった。

【0004】本発明は、上記の課題を解決し、簡便な方法で、マザーボード実装後に、マザーボードが変形した際に、端子電極のはがれやセラミック部分のひびなどの不具合の発生を抑制される構造のセラミック電子部品およびその製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】上記課題を解決するため、本発明は以下の構成とするものである。

【0006】マザーボードに実装する面の少なくとも一部の電極における少なくとも一部に突起部がある構造を有するセラミック電子部品とする。

【0007】あるいは、マザーボードに実装する面の少なくとも一部の電極における少なくとも一部に突起部があり、セラミック内部のビア電極と接続した位置に前記突起部を形成した構造を有するセラミック電子部品とする。

【0008】あるいは、マザーボードに実装する面の少なくとも一部の電極における少なくとも一部に突起部が形成されたセラミック電子部品の製造方法において、所定の導体パターンあるいはビアが形成されたセラミックグリーンシートの積層体の両面あるいは片面に、前記突起部形成用の穴をあけ導体材料が充填されたフィルムを圧着し、前記フィルムをはがすことにより前記突起部を形成する工程を有するセラミック電子部品の製造方法とする。

【0009】あるいは、マザーボードに実装する面の少なくとも一部の電極における少なくとも一部に突起部があり、セラミック内部のビア電極と接続した位置に前記突起部が形成されたセラミック電子部品の製造方法において、内部に所定の導体パターンあるいはビアが形成されたセラミックグリーンシートの積層体における前記突起部を形成すべき面に弾性体を置き加圧する工程を有するセラミック電子部品の製造方法とする。この際、前記弾性体がグリーンシートであれば望ましく、前記セラミックの焼成温度で焼結しないセラミック材料で構成されたグリーンシートであればさらに望ましい。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0011】（実施の形態1）図1に、請求項1に記載したセラミック電子部品の一実施形態の断面を示す。積

層セラミック部1の上に、チップコンデンサ6および半導体デバイス7などの部品を半田あるいはフリップチップで実装した高周波モジュールを例とした。積層セラミック部の上に実装する部品は限定するものではなく、インダクタ、抵抗、SAW、あるいは複合部品などでもよい。前記部品は、両面に実装してもよく、積層セラミック部にキャビティを形成し、キャビティの中に各種部品を実装してもよい。必要に応じて、樹脂でモールドしたり、キャップをする場合もある。積層セラミック部は、高周波モジュールの場合、高周波で誘電損失の小さいガラスセラミックなどが使用されるが、特に限定するものではなく、用途によって磁性材料や圧電材料を用いても構わない。積層セラミック部の内部には、必要に応じて、パターン電極2あるいはビア電極3が形成される。積層セラミック部の内部に、導体は必ずしも必要ではない。図1の下面がマザーボードに実装される面となるが、その面には、端子電極4があり、端子電極の一部に突起部5が形成されている。電極材料としては、Cu、Ag、Au、Pd、Pt、W、あるいはそれらの合金などが使用されるが、導電性があればよく、特に金属に限定するものではない。端子電極や突起部は、樹脂を多く含んだものでも構わない。図の場合、端子電極へは、ビアにより接続されているが、側面電極から接続してもよい。各電極材料は、同種のものでもよいし、異種のものでもよい。表面に露出した電極は、必要に応じて、Ni-Auメッキなどの表面処理がなされる。

【0012】以上のように、マザーボードに実装する面に突起部が形成された構造のセラミック電子部品とすることにより、セラミック電子部品とマザーボードの距離が大きくなり、マザーボードの変形による応力が素子に伝達される際に緩和され、端子電極のはがれやセラミック部分のひび等の不具合の発生が抑制される。

【0013】(実施の形態2) 図2に、請求項2に記載したセラミック電子部品の一実施形態の断面を示す。実施の形態1との違いは、端子電極内の突起部5が、積層セラミック部内のビア電極と端子電極の接続位置に形成されていることである。その他の形態は、実施の形態1と同様である。

【0014】以上のように、セラミック内部のビア電極と接続した位置に前記突起部を形成した構造を有するセラミック電子部品とすることにより、マザーボードの変形による応力を直接ビア電極へ伝えることで、ビア部と端子電極の接続部におけるクラックの発生を大幅に抑制することができる。

【0015】(実施の形態3) 図3に、請求項3に記載した本発明の一実施形態によるセラミック電子部品の製造方法の断面図を示す。

【0016】まず(a)のように、フィルム8に穴をあける。フィルムの材質としては、ポリエチレンテレフタレートなどの有機物あるいは箔などの金属などがあるが、

特に限定しない。

【0017】次に(b)のようにフィルム8の穴に、突起形成用の電極材料9を充填する。電極材料としては、Cu、Ag、Au、Pd、Pt、W、あるいはそれらの合金などが使用されるが、導電性があればよく、特に金属に限定するものではない。また、熱硬化性などの樹脂を多く含んだものでも構わない。充填方法としては、例えば、電極材料をペーストに加工し、フィルムの上に置き、ウレタンなどのスキージでペーストをさばくことで行われるが、特に限定するものではない。

【0018】次に(c)のように、電極材料を充填したフィルムを、位置合わせしながらセラミック積層体10に圧着させ、フィルムをはがして電極材料のみをセラミック積層体の端子電極上に転写させる。セラミック積層体としては、焼成後でも焼成前の状態でもよい。セラミック積層体が焼成前の状態の場合、突起部形成用の電極材料と同時に熱処理して、焼結させる。セラミック積層体が焼成後状態の場合、電極材料の種類によるが、熱処理による焼き付けなどで突起部を形成する。

【0019】以上のような方法により、(d)のようなマザーボードに実装する面の少なくとも一部の電極における少なくとも一部に突起部が形成されたセラミック電子部品を、きわめて簡便に、量産性よく製造することが可能となる。

【0020】(実施の形態4) 図4に、請求項4から6に記載した本発明の一実施形態によるセラミック電子部品の製造方法の断面図を示す。

【0021】セラミックグリーンシート積層体10は、所定の層にパターン電極あるいはビア電極を形成したグリーンシートを重ねて製造する。電極材料としては、Cu、Ag、Au、Pd、Pt、W、あるいはそれらの合金などが使用されるが、導電性があればよく、特に金属に限定するものではない。また、熱硬化性などの樹脂を多く含んだものでも構わない。

【0022】この積層体10は、内部のビア電極3が、素子のマザーボード実装面の端子電極4に接続した構造を有する。(a)のように、この積層体10を加圧圧着するが、その際、少なくとも素子の突起部を形成すべき面には弾性体11を置き、図4のような一軸加圧の場合、その両側に固い金属金型12などを配置し、加圧する。弾性体としては、樹脂、ゴムなどが望ましいが、特に種類を限定するものではない。弾性体としてグリーンシートを用いると、突起部の高さをそろえやすいので望ましい。弾性体としてグリーンシートを用いる場合、加圧により前記グリーンシートが前記セラミックグリーンシート積層体に密着する。そのまま焼成し、研磨などにより加圧時に密着した前記グリーンシートを除去してもよいが、焼成の前にはがしてもよい。グリーンシートとして、前記セラミックグリーンシート積層体の焼成温度で焼結しないセラミック材料を用いると、焼成後の除去

が容易でさらに望ましい。前記除去方法として、砥石や研磨紙による研磨、あるいは研磨材や研磨材をスラリー状にしたものを吹きつけるブラストなどがあるが、特に限定しない。加圧方法として、等方加圧でもかまわない。

【0023】以上の方法により、(b)のようなマザーボードに実装する面の少なくとも一部の電極における少なくとも一部の突起部において、セラミック内部のビア電極と接続した位置に前記突起部が形成されたセラミック電子部品を、突起部形成のために余分な工程や材料を使用することなく、安価な方法で製造できる。

【0024】

【発明の効果】以上の説明より明らかなように、本発明のように、マザーボードに実装する面に突起部が形成された構造のセラミック電子部品とすることにより、セラミック電子部品とマザーボードの距離が大きくなり、マザーボードの変形による応力が緩和され、端子電極のはがれやセラミック部分のひびなどの不具合の発生が抑制される。

【0025】また、セラミック内部のビア電極と接続した位置に前記突起部を形成した構造を有するセラミック電子部品突起部とすることにより、マザーボードの変形による応力を直接ビア電極へ伝えることで、ビア部と端子電極の接続部におけるクラックの発生を大幅に抑制することができる。

【0026】また、本発明におけるセラミック電子部品の製造方法によれば、簡便に、量産性よく、かつ安価に前記突起部を形成できる。

【図面の簡単な説明】

【図1】本発明の一実施形態におけるセラミック電子部品の断面図

【図2】本発明の一実施形態におけるセラミック電子部品の断面図

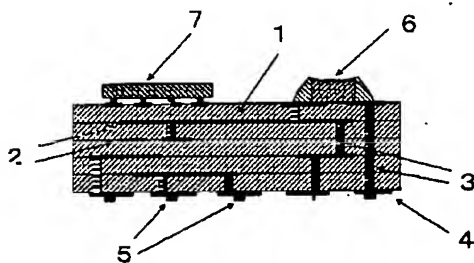
【図3】本発明の一実施形態におけるセラミック電子部品の製造方法を示す断面図

【図4】本発明の一実施形態におけるセラミック電子部品の製造方法を示す断面図

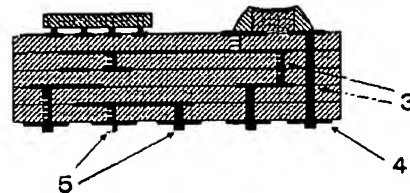
【符号の説明】

- 1 積層セラミック部
- 2 パターン電極
- 3 ビア電極
- 4 端子電極
- 5 突起部
- 6 チップコンデンサ
- 7 半導体デバイス
- 8 フィルム
- 9 突起部形成用導体材料
- 10 積層セラミック部
- 11 弾性体
- 12 プレス金型

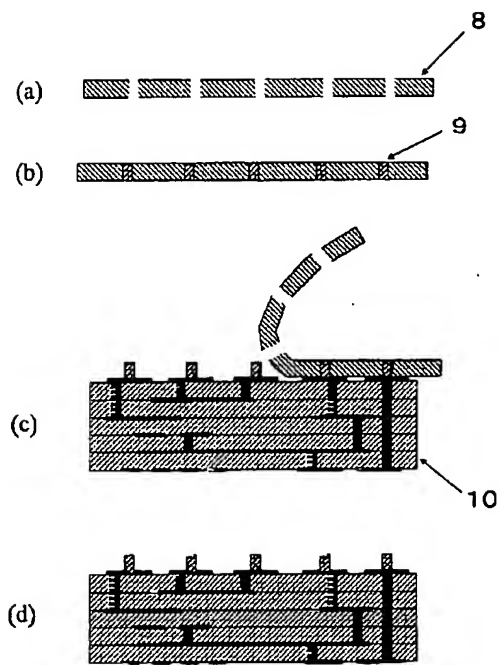
【図1】



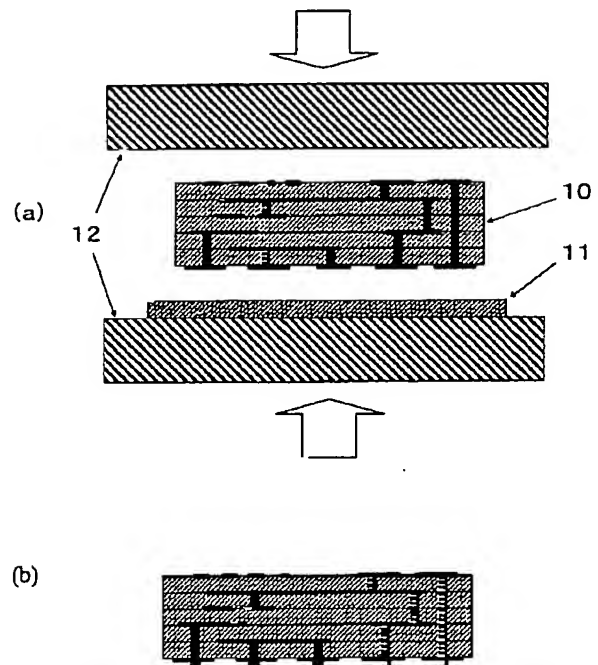
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 勝村 英則
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5E336 AA04 CC33 CC36 CC37 GG16
5E346 AA15 AA42 AA43 BB16 CC16
CC31 CC32 CC36 CC38 CC39
DD34 DD42 EE24 FF01 GG06
HH11